



Marco Ehrler



Lukas Leuenberger

Diplomanden	Marco Ehrler, Lukas Leuenberger
Examinator	Prof. Dr. Paul Zbinden
Experte	Robert Reutemann, Miromico AG, Zürich, ZH
Themengebiet	Mikroelektronik
Projektpartner	Dr. Fritz Faulhaber GmbH & Co. KG, D-Schönaich

Fehlerkompensation bei Quadraturencodern

Kompensation von systematischen Genauigkeitsfehlern mittels VHDL

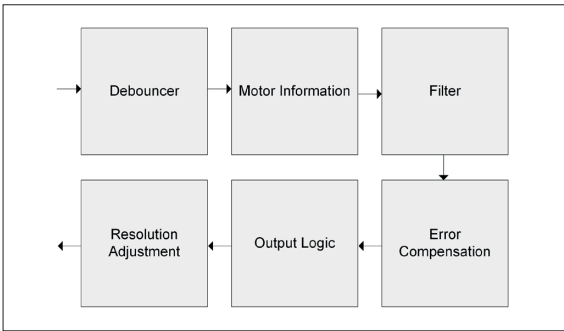


Abb. 1: Grobes Blockschaltbild Fehlerkompensation

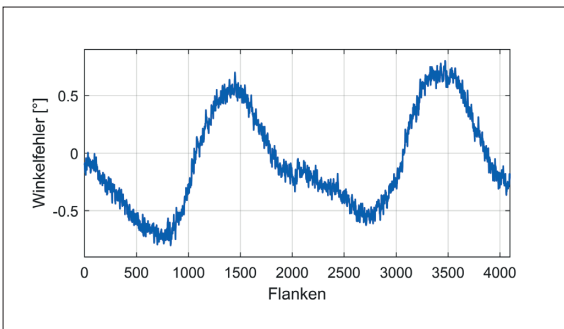


Abb. 2: Winkelfehler eines Encoders über eine Umdrehung

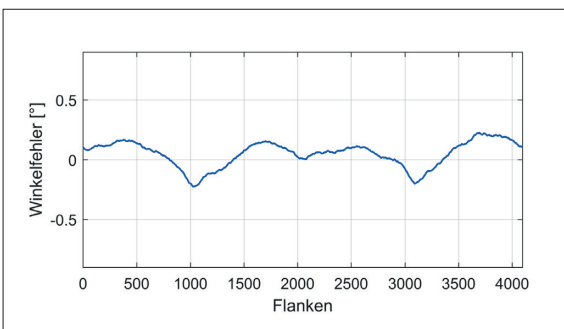


Abb. 3: Winkelfehler eines Encoders mit Filter und Kompensation über eine Umdrehung

Aufgabenstellung: Die Firma Dr. Fritz Faulhaber ist spezialisiert auf Miniatur- und Mikroantriebstechnologie und Anbieter von in Antriebssystemen integrierten magnetischen und optischen Inkrementalencodern. In diesem Bereich wird oftmals sehr hohe Präzision gefordert, welche jedoch nur bedingt kostengünstig hergestellt werden kann. Das Ausgangssignal eines Inkrementalencoders ist mit einem Winkelfehler behaftet. Wird dieser über eine mechanische Umdrehung aufgenommen und genauer betrachtet, lässt er sich in verschiedene Komponenten unterteilen. Einerseits beinhaltet er systematische Fehleranteile, andererseits sind auch zufällig entstehende Anteile vorzufinden. Das Hauptziel dieser Arbeit ist es, eine Hardware-Beschreibung mittels VHDL auf einem FPGA zu erstellen, welche die systematischen Fehlerkomponenten in Echtzeit korrigiert. Dazu soll ein geeigneter Kompensationsalgorithmus entwickelt werden. Ebenfalls soll eine passende Filterfunktion realisiert werden, welche bei Bedarf den vorhandenen Positions jitter entfernen kann. Zusätzlich ist ein Algorithmus einer Auflösungsanpassung zu entwerfen welche die hochauflösenden Quadratursignale mit einer Eingangsauflösung NE auf eine Ausgangsauflösung NA reduziert.

Vorgehen: In einer ersten Phase wurden die Grundlagen der Encodertechnik erarbeitet. Ein wichtiger Bestandteil dieser Phase war die Unterteilung des Winkelfehlers in die verschiedenen Fehlerkomponenten. Anschliessend wurde mittels einer Analyse einerseits Wissen über die Auswertung von Inkrementalencodersignalen angeeignet, andererseits sind Algorithmen für die Fehlerreduktion entwickelt worden. Zwei mögliche Entwürfe für die Auflösungsanpassung runden die Analysephase ab. Die erworbenen Kenntnisse und die entwickelten Algorithmen ermöglichten es, einen Entwurf der Hardwarebeschreibung zu entwickeln. Die erstellten Algorithmen wurden mittels Zustandsmaschinen implementiert. Parallel dazu wurden die implementierten Blöcke mit Testbenches auf ihre Funktionalität hin geprüft. Nach der Fertigstellung der Hardwarebeschreibung wurde das System mit verschiedenen Inkrementalencodern im Regelkreis verifiziert.

Ergebnis: Die Bachelorarbeit hat gezeigt, dass eine Kompensation von systematischen Genauigkeitsfehlern mit einem FPGA den Gesamtwinkelfehler über eine mechanische Umdrehung wesentlich reduzieren kann. Abschliessende Winkelfehlermessungen haben veranschaulicht, dass der Fehler um bis zu 85% verringert werden kann. Auch die korrekte Funktionsweise im Regelkreis kann gewährleistet werden.