

Luca Gubser

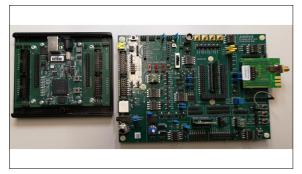


Reto Huonder

Diplomanden	Luca Gubser, Reto Huonder							
Examinatoren	Prof. Dr. Paul Zbinden, Roman Willi							
Experte	Robert Reutemann, Miromico AG, Zürich, ZH							
Themengebiet	Mikroelektronik							

Projektpartner Sonova AG, Stäfa, ZH

Protokoll Sniffer Redesign



Links: Bisheriger Sniffer Rechts: "Hörgerät" für Entwicklung Eigene Darstellung



Redesign, Base Board inkl. FPGA-Modul XEM7305 Eigene Darstellung

岀	Combined Vew IDC 3 [X]	SPI1 X UMET 1 X	125.1	X SM1 X						
	Stat Stop	Clear	Офот	Import C	Mput Type	Delagrid -	Magintept Cets "			
Vie	Messger SI OstaMasterfo	Since SE Outsbare SMI	eter Si	Seciology (2) 74						
Vie	Column Z Nilline Z:	lecinolet 🗵 Sunto	2×	glas Elec El	Addres 6	Monage 12	Elength (Effenders (ElOt □ Conments			
	Fasi Life Time	Seconds Since Reference	Dur	MessorTipe	Address	Address Princil	Menage	Length (Bytes)	Raw Data (Hex)	Orded
	2000-05-26 30-06-37-4779	4557		Interterted Hing						
	2926-95-26 26164168.2336	2,7961								-
	200-15-26 30-64-69-2566		5415	Satalaster Tollave		4+34	(address 8x20) (Backdoor)rep-) brite: BootState - BeadySucamunicate, BootLevel - Full-Booted (8x20)		44.79	
	2928-95-26 59:44:49.2368		53va	Detelester lobbeve		01.20	(address 8x28) (Backdoor) reg-> write: Boold = 8x87		0.47	
	2020-05-25 30:44:40.2354		53vs	DetallesterTobleve		01/30	(address 8x28) (Backdoor)reg.) Write: Address(67) = 29		4) 7/	
	2928-95-26 28:44:49.2358			Detahester705Deve		0×30	(eddress 8x28) (Beckdoor)req-> brite: Address(68) + 7f		44.79	
×	2928-95-26 38:44:49.2363		Ship	DataMasterTollieve		4=34	(address dv20) (Backdoor) reg.) Write: Address(60) = 88		45 88	
	2928-95-26 28144148.2365		3446	Detailesterhoodsve		81/28 81/28	(eddress dodf) (Beckdoor)req-> srite: Appress(66) = 47		41.6	
							(address 8x28)			
							(address 8x28)			
							(eddress 8x5x)			
	2908-95-25 58:44:48.3449			detelesterlobbeve		thick	(eddress dv6x) (Seckdoor)reg-> orite: Parami = 0x88		er 18	
	2020-05-26 20144140.2400			Outstaster2stGave		Ov6A	(eddress Sulk) (Backdoor)req-> brite: Farant (SeitLevel) - Edde		86 84	
	2908-95-25 38:44:49.2544			DetahasterTobbave		dress.	(address 8x6A) (Backdoor)req-> brite: Parant = UNIXON EXCEPTION ISS		47 04	
						0x30	(eddress 8x28)			
							(address 8x28)		00	
	2908-95-25 38:44:48.2594			DetaMesterTobbeve		thrifA.	(address dwin) (Backdoor) req-> Write: Param? = dwin(H 50	
	2020-05-26 30:44:40-2110					4434	(address 8x28)			
							(address 8x28)			
	2928-95-26 28144148.2645			Detahesterhoodeve		BUGA.	(address dwin) (Backdoor)req-> orite: Parant = 0x88		ev es	
	2928-95-26 38-64-69 3669			SatalasterSollave		8=38	(address dv28)		46	
	2020-05-26 20-06-08-2658	2.7877				0×30	(address 8x28)	3	80	-
				Detelesterfoldere		Out A	(address dwix) (Backdoor)req-> orite: Forumé = 0x34		60 3A	
	2008-95-26 38164169-2763			DetailesterTobleve DetaileveOctober		State A	(address Bulk)	1	10	_
			346					3		_
	2828-95-26 28:44:48.2798	2.8614	2916	DataMaster Toticave		BISA:	(ADDIVELS BASK)		00	
								1		_
	2008-05-26 30-64-69-3635		libro	SatulasterSollave		dress.	(address dv6X)	1	41	_
		2.8063					(address dwSX)			_
25	2020-05-26 20:44:40.2002	2.8300		DetaMester Tobbeve		BUSA:	(ADDYRES BYSK)		62	
								12	44	_
						4m34	(address 8x28)			

Windows-Applikation mit I2C Beispiel Eigene Darstellung

Aufgabenstellung: In den Hörgeräten der Sonova AG sind verschiedene ASIC verbaut. Diese ASIC kommunizieren über diverse Protokolle (UART, SPI, I2C, I2S, SMI). Um die Entwicklung der Hörgeräte zu erleichtern, wurde ein Testaufbau entwickelt, mit dem sämtliche Protokolle abgehört ("gesnifft") werden können. Dieses System basiert auf einem FPGA-Board mit Spartan-3-Technologie. Zusätzlich existiert eine Windows-Applikation, die mit dem Board kommuniziert und sämtliche Datenströme der verschiedenen Protokolle dekodieren und darstellen kann.

Primärziel der Arbeit besteht darin, die etwas in die Jahre gekommene Spartan-3-Technologie möglichst preiswert auf einen neueren Stand der Technik zu bringen. Dazu gehört die Entwicklung eines Base Boards, auf das ein FPGA-Modul nach altem Vorbild aufgesteckt werden kann. Das VHDL-Redesign soll weiterhin mit der bestehenden Windows-Applikation funktionieren.

Vorgehen: Zu Beginn der Arbeit stellte sich die Auswahl eines passenden FPGA-Moduls in den Vordergrund. In Anlehnung an das bisherige Design ist die Wahl auf das XEM7305 von Opal Kelly gefallen. Somit ist die Kompatibilität in Bezug auf das bestehende API gegeben. Dieses Modul bietet dem FPGA keine Spannungsversorgungen; sie sind auf dem Base Board realisert.

Für die Einkopplung und Aufbereitung der Signale wurden Komparatoren eingesetzt, die einen Push-Pull-Ausgang besitzen und das schnellste Protokoll (5 MHz) problemlos schalten können. Das Base Board kann zwei "Hörgeräte" gleichzeitig mit dem FPGA-Modul verbinden.

Parallel zur Entwicklung des Base Boards wurde das VHDL-Design portiert. Sämtliche VHDL-Module sind laufend mit Testbenches abgeglichen worden und allfällige Veränderungen konnten so festgestellt werden. Eine grosse Veränderung brachten die vorgegebenen Schnittstellen-Module von Opal Kelly mit sich, die von 16 Bit auf 32 Bit gewachsen sind. Mittels einer selbst entwickelten C#-Anwendung in Anlehnung an das API von Opal Kelly konnte das Verhalten der neuen Blöcke ausgetestet werden.

Ergebnis: Das Redesign interagiert mit der Windows-Applikation im gleichen Sinne wie das alte System. In der App musste lediglich neue USB-Treiber-Software eingebunden werden. Ansonsten konnten die Algorithmen beibehalten werden. Das neue System kann nun via Plug & Play in die Entwicklung von Sonova eingegliedert werden.