

Flexibler Lock-In Verstärker mit sub-ppm Auflösung

Entwurf und Realisierung eines FPGA-basierten Lock-In-Messsystems für hochauflösende Impedanzmessungen

Diplomanden



Dominik Iten



Silvan Staub

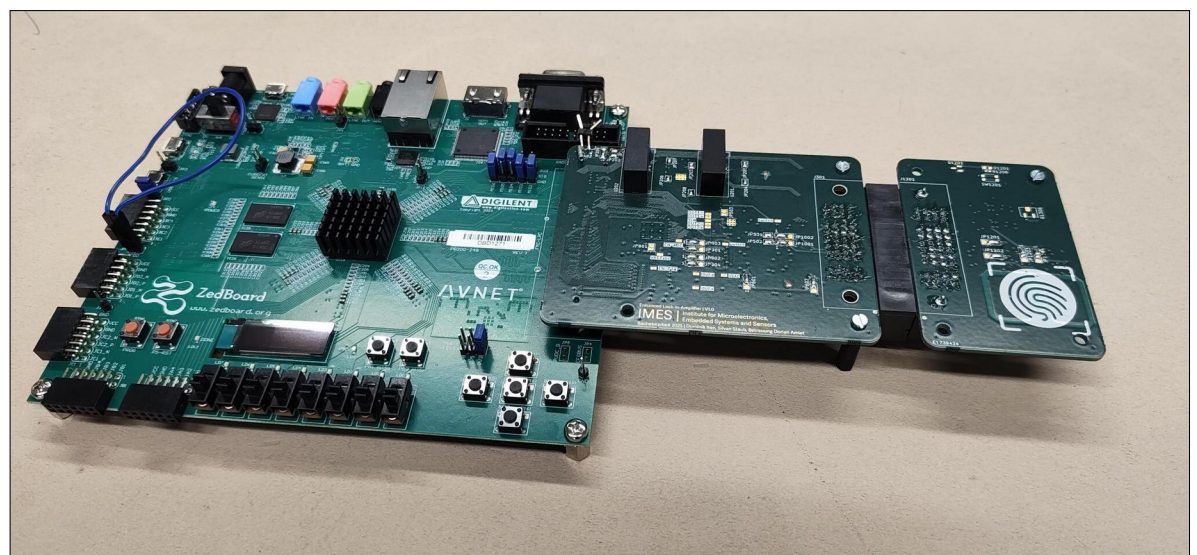
Einleitung: Für viele Sensorprojekte am IMES (Institut für Mikroelektronik, Embedded Systems und Sensorik) ist der Lock-in-Verstärker das Mittel der Wahl für die Sensormessung. Oft ist unklar, mit welcher Genauigkeit und Frequenz ein System arbeiten muss. Es ist schwierig, die benötigte Messgenauigkeit zu erreichen, ohne das System zu überdimensionieren, da erhöhte Genauigkeit auch immer mit höheren Kosten, Komplexität und Rechenzeiten einhergeht. In dieser Arbeit soll eine adaptierbare Plattform entwickelt werden, die die Evaluierung neuer Lock-in-Schaltungen erleichtert. Die zu entwickelnde Schaltung soll maximale Genauigkeit bei flexibler Frequenz bieten. Für die Evaluierung eines neuen Sensors kann damit einerseits die optimale Messfrequenz und mittels Dezimierung andererseits die minimal notwendige Auflösung ermittelt werden. Dies bietet dem Kunden das beste Kosten-Leistungs-Verhältnis.

Vorgehen / Technologien: Der digitalisierte Lock-in-Verstärker bietet viele Vorteile gegenüber anderen Messverfahren. Durch die Multiplikation von internen Sinus- und Cosinus-Referenzwerten mit dem Messsignal bildet sich ein Filter, welches breitbandiges (analoges) Rauschen stark reduziert und in hohem Signal-Rausch-Abstand resultiert. Zusätzlich ermöglicht unsere Plattform die Evaluation des sogenannten „Enhanced Lock-In“. Dabei wird das Messsignal periodisch mit dem Referenzsignal umgeschaltet. Dies kann zu einer Signalverbesserung führen, da es das 1/f-Rauschen des ADCs zusätzlich unterdrückt. Unser Messaufbau lässt sich mit Signalamplituden von bis zu ± 10 V bei Messfrequenzen von 100 kHz bis 10 MHz verwenden, um einen breiten Anwendungsbereich abzudecken.

Hardware Aufbau

Das PCB (rechts) ist so konzipiert, dass es sich über den FMC-Stecker mit dem ZedBoard verbinden lässt.

Eigene Darstellung



Referenten

Prof. Dr. Paul Zbinden,
Dorian Amiet

Korreferent

Dipl. El. Ing. ETH
Robert Reutemann,
Miromico AG

Themengebiet

Mikroelektronik

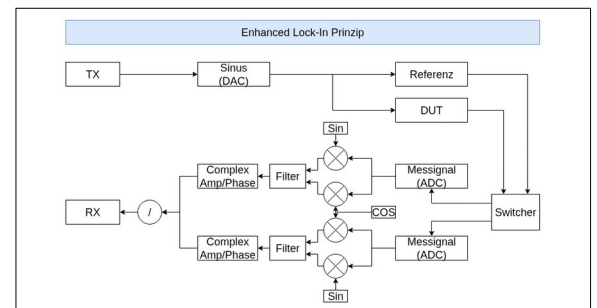
Projektpartner

IMES Institut für
Mikroelektronik,
Embedded Systems
und Sensorik, OST -
Ostschweizer
Fachhochschule,
Rapperswil, SG

Fazit: Die Lock-In-Methode erweist sich als effiziente Sensormessung. Durch die Verlagerung der Datenauswertung ins Digitale können neben der Störunterdrückung auch weitere Daten wie die Phasenlage der Signale in die Auswertung einbezogen werden.

Mithilfe der entwickelten Hardware konnte dem IMES eine praxisnahe Grundlage zur Evaluierung und Auslegung digitaler Lock-In-Messsysteme für

Struktur eines ELIAs mit Umschaltern im Signalpfad zur Dämpfung des 1/f-Rauschens im ADC.
Eigene Darstellung



Die gemessenen DUT- und REF-Signale stammen vom ADC. Diese werden später mittels Lock-in-Verfahren verarbeitet.
Eigene Darstellung

